

**No English title available.**

Patent Number: JP2003224274

Publication date: 2003-08-08

Inventor(s):

Applicant(s):

Requested Patent: ☐ JP2003224274

Application Number: JP20020019039 20020128

Priority Number(s): JP20020019039 20020128

IPC Classification: H01L29/78

EC Classification:

Equivalents:

---

**Abstract**

---

---

Data supplied from the esp@cenet database - I2

(11)特許出願公開番号

特開2003-224274

(P2003-224274A)

(43)公開日 平成15年8月8日(2003.8.8)

(51) Int.Cl.<sup>7</sup>  
H 0 1 L 29/78

識別記号  
6 5 2  
6 5 3

F I.  
H O 1 L 29/78

テーマコード\* (参考)

6 5 2 K  
6 5 3 C

審査請求 未請求 請求項の数5 O.L (全 6 頁)

(21)出願番号 特願2002-19039(P2002-19039)

(22) 出願日 平成14年 1 月28日 (2002. 1. 28)

(71)出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72)発明者 鈴木 文成

愛知県刈谷市昭和町1丁目1番地 株式会社  
デンソー内

(72)発明者 三浦 昭二

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

(74)代理人 100100022

弁理士 伊藤 洋二 (外2名)

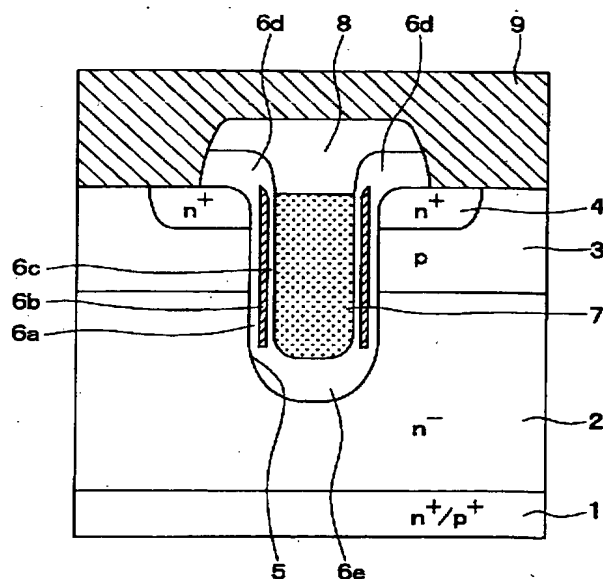
**最終頁に続く**

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 チャージトラップ現象のメカニズムを解析し、このメカニズムに基づいてV<sub>t</sub>h変動を抑制する。

【解決手段】 ゲート電極 7 へのバイアスにより、シリコン酸化膜 6 a とシリコン窒化膜 6 b との界面に蓄積される電子が、シリコン窒化膜 6 b 中に蓄積されるホールよりも多くなるように、シリコン窒化膜 6 b およびシリコン酸化膜 6 c の膜厚を設定する。具体的には、シリコン窒化膜 6 b の膜厚を 8 nm 以上かつ 15 nm 以下に設定し、シリコン酸化膜 6 c の膜厚を 5 nm 以上に設定する。



1

## 【特許請求の範囲】

【請求項1】 半導体基板（1～4）の一面に形成されたトレンチ（5）の側面に、第1のシリコン酸化膜（6 a）とシリコン窒化膜（6 b）と第2のシリコン酸化膜（6 c）からなるONO膜を有したゲート絶縁膜（6）が形成され、前記トレンチ内において前記ゲート絶縁膜（6）の表面にゲート電極（7）が形成された半導体装置において、前記ゲート電極（7）へのバイアスにより、前記第1のシリコン酸化膜（6 a）と前記シリコン窒化膜（6 b）との界面に蓄積されるマイナス電荷が、前記シリコン窒化膜（6 b）中に蓄積されるプラス電荷よりも多くなるように、前記シリコン窒化膜（6 b）および前記シリコン酸化膜（6 c）の膜厚が設定されていることを特徴とする半導体装置。

【請求項2】 前記ONO膜は、前記シリコン窒化膜（6 b）の膜厚が8 nm以上かつ15 nm以下に設定されていることを特徴とする半導体装置。

【請求項3】 半導体基板（1～4）の一面に形成されたトレンチ（5）の側面に、第1のシリコン酸化膜（6 a）とシリコン窒化膜（6 b）と第2のシリコン酸化膜（6 c）からなるONO膜を有したゲート絶縁膜（6）が形成され、前記トレンチ内において前記ゲート絶縁膜（6）の表面にゲート電極（7）が形成された半導体装置において、前記ONO膜は、前記シリコン窒化膜（6 b）の膜厚が8 nm以上かつ15 nm以下に設定されていることを特徴とする半導体装置。

【請求項4】 前記ONO膜は、前記第2のシリコン酸化膜（6 c）の膜厚が5 nm以上に設定されていることを特徴とする請求項1乃至3のいずれか1つに記載の半導体装置。

【請求項5】 前記ゲート絶縁膜（6）は、前記トレンチ（5）の側面においてのみ前記ONO膜で構成され、前記トレンチの上部および底部ではシリコン酸化膜（6 d、6 e）で構成されており、前記トレンチ（5）の上部および底部に位置するシリコン酸化膜（6 d、6 e）が前記トレンチ（5）の側面に位置するONO膜よりも膜厚が厚くなっていることを特徴とする請求項1乃至4のいずれか1つに記載の半導体装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体基板の一面に形成されたトレンチの内壁に積層膜が形成されてなる半導体装置及びその製造方法に関する。

【0002】

【従来の技術および発明が解決しようとする課題】近年、パワーICにおけるゲート絶縁膜として、ゲート寿命の向上が可能なONO膜が用いられるようになってくるが、このようなONO膜を用いた場合、ONO膜特有

2

の現象として、EPROMのメモリ効果で用いられているゲートバイアスによってONO膜内にキャリアが蓄積され、しきい値電圧（以下、 $V_{th}$ という）を変動させるというチャージトラップ現象が発生する。

【0003】パワーICでは、電流を確保するために複数のセルを並列に接続する構造が採用されることから、特に、 $V_{th}$ 変動によって $V_{th}$ が減少する場合に問題となる。すなわち、IC内の一部のセルの $V_{th}$ が減少すると、この $V_{th}$ が減少したセルに電流が集中し、その結果、素子が破壊されてしまう可能性が生じるのである。

【0004】このため、長時間に渡るゲートバイアス時に生じる $V_{th}$ 変動を抑制するために、ONO膜中に蓄積される電荷がどのようなメカニズムで蓄積されているかの解析が重要となっているが、これについて統一的な見解及び技術開示が成されていないのが実状であった。

【0005】本発明は上記点に鑑みて、ONO膜中に電荷が蓄積されることによって発生するチャージトラップ現象のメカニズムを解析し、このメカニズムに基づいて $V_{th}$ 変動を抑制することを目的とする。

【0006】

【課題を解決するための手段】上記目的を達成するため、本発明者らは、チャージトラップ現象のメカニズムについての解析を行なった。以下、図3を参照にしてチャージトラップ現象のメカニズムを説明する。

【0007】図3は、パワーMOSFETのゲート絶縁膜としてONO膜を用いた場合のエネルギーバンド図を示しており、具体的には、Siで構成されたn<sup>+</sup>型ソース領域4 aと、シリコン酸化膜6 aとシリコン窒化膜6 bとシリコン酸化膜6 cとからなるONO膜と、Pol y Siからなるゲート電極7とにおけるエネルギーバンド図を示している。

【0008】この図に示すように、ゲートバイアス（ゲートにプラス電位を印加した場合）により、n<sup>+</sup>型ソース領域4側の電子2 1がシリコン酸化膜6 aを通過してシリコン窒化膜6 bに蓄積され、また、ゲート電極7におけるホール2 2がシリコン酸化膜6 cを通過してシリコン窒化膜6 bに蓄積される。

【0009】ここで、ホール2 2は、シリコン窒化膜6 bのすべての領域に蓄積されるのに対し、電子2 1は、シリコン窒化膜6 bの界面にしか蓄積されない。このため、シリコン窒化膜6 bがある値よりも薄い場合には電子2 1の蓄積量がホール2 2の蓄積量よりも多くなって $V_{th}$ が増加し、逆に、ある値よりも厚い場合にはホール2 2の蓄積量が電子2 1の蓄積量よりも多くなって $V_{th}$ が減少する。

【0010】また、電子2 1やホール2 2の蓄積（トラップ）は、ホール2 2および電子2 1の濃度に応じて進行する。そして、シリコン酸化膜6 cの厚さにより、シリコン窒化膜6 bへのホール2 2の移動が制限される

10

20

30

40

50

3

が、シリコン酸化膜6cの厚さがある値よりも薄い場合には電子21の蓄積前にホール22が蓄積され、その結果、シリコン窒化膜6b中のホール22の濃度が進行してVthが減少する。

【0011】以上のようなメカニズムにより、チャージトラップ現象が発生すると言える。そこで、本発明者らは、上記メカニズムに基づいて、シリコン窒化膜6bやシリコン酸化膜6cの膜厚とチャージトラップ現象との関係について、さらなる実験、検討を行なった。その結果、図4に示されるようなVthのシリコン窒化膜6bの膜厚に対する依存性や、図5に示されるようなVthのシリコン酸化膜6cの膜厚に対する依存性が確認された。

【0012】図4では、シリコン窒化膜6bの膜厚に対するVthの変動量 $\Delta V_{th}$ の実測値および計算値を示してある。この図に示されるように、シリコン窒化膜6bの膜厚が15nm（計算値では12.5nm）よりも大きくなってから、Vthが減少（ $\Delta V_{th} < 0$ ）していることが分かる。このため、シリコン窒化膜6bに関しては、その膜厚を15nm以下とすれば、チャージトラップ現象によるVthの減少を防止することができる。

【0013】また、図5に示されるように、シリコン酸化膜6cの膜厚が5nm未満になっているとVthが減少し、5nm以上になるとVthが増加していることが分かる。このため、シリコン酸化膜6cに関しては、その膜厚を5nm以上とすれば、チャージトラップ現象によるVthの減少を防止することができる。

【0014】そこで、請求項1に記載の発明では、半導体基板（1～4）の一面に形成されたトレンチ（5）の側面に、第1のシリコン酸化膜（6a）とシリコン窒化膜（6b）と第2のシリコン酸化膜（6c）からなるONO膜を有したゲート絶縁膜（6）が形成され、トレンチ内においてゲート絶縁膜（6）の表面にゲート電極（7）が形成された半導体装置において、ゲート電極（7）へのバイアスにより、第1のシリコン酸化膜（6a）とシリコン窒化膜（6b）との界面に蓄積されるマイナス電荷が、シリコン窒化膜（6b）中に蓄積されるプラス電荷よりも多くなるように、シリコン窒化膜（6b）およびシリコン酸化膜（6c）の膜厚が設定されていることを特徴としている。

【0015】このように、シリコン窒化膜（6b）およびシリコン酸化膜（6c）の膜厚が設定されるようにすれば、チャージトラップ減少によるVthの減少を防止することができる。これにより、IC内の一部のセルのVthが減少することによる素子破壊を防止することができる。

【0016】具体的には、請求項2又は3に示すように、シリコン窒化膜（6b）の膜厚を8nm以上かつ15nm以下に設定し、請求項4に示すように、第2のシ

4

リコン酸化膜（6c）の膜厚を5nm以上に設定すれば良い。

【0017】また、請求項5に記載の発明では、ゲート絶縁膜（6）は、トレンチ（5）の側面においてのみONO膜で構成され、トレンチの上部および底部ではシリコン酸化膜（6d、6e）で構成されており、トレンチ（5）の上部および底部に位置するシリコン酸化膜（6d、6e）がトレンチ（5）の側面に位置するONO膜よりも膜厚が厚くなっていることを特徴としている。このような構成とすることにより、ゲート信頼性の低下を防止することができる。

【0018】なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示すものである。

【0019】

【発明の実施の形態】（第1実施形態）図1に、本発明の一実施形態にかかる半導体装置の断面構成を示す。この半導体装置は、パワーMOSFET、IGBT等のトレンチゲート構造を持つトランジスタを有している。

【0020】図1において、n+型あるいはp+型のシリコン基板1上にn型ドリフト層2が形成され、その上にp型ベース領域3が形成されている。p型ベース領域3の表層部にはn+型ソース領域4が形成され、これらシリコン基板1、n型ドリフト層2、p型ベース領域3およびn+型ソース領域4によって半導体基板が構成されている。この半導体基板には、n+型ソース領域4及びp型ベース領域3を貫通してn型ドリフト層2に達するようにトレンチ5が形成されており、このトレンチ5の内壁にはゲート絶縁膜6が形成されている。

【0021】このゲート絶縁膜6は、トレンチ5の側壁部に形成されたシリコン酸化膜（第1のシリコン酸化膜）6aとシリコン窒化膜6bとシリコン酸化膜（第2のシリコン酸化膜）6cとからなる積層膜と、トレンチ5の上部、底部に形成されたシリコン酸化膜6d、6eとからなる。これらのうち、シリコン酸化膜6cは5nm以上、シリコン窒化膜6bは8nm以上かつ15nm以下となるように設定されている。また、シリコン窒化膜6bは、その上端がp型ベース領域3とn+型ソース領域4の境界より上に位置し、下端がp型ベース領域3とn型ドリフト層2との境界より下に位置するように形成されて、トレンチ5の上部、底部に形成されたシリコン酸化膜6d、6eは、トレンチ5の側壁部に形成された積層膜よりも膜厚が大きい膜とされている。

【0022】また、トレンチ5内におけるゲート絶縁膜6の表面にはドーパントシリコンで構成されたゲート電極7が形成されている。そして、ゲート電極7上を含み、p型ベース領域3及びn+型ソース領域4の上にはBPSG等からなる層間絶縁膜8が形成されている。この層間絶縁膜8に形成されたコンタクトホールを介して、p型ベース領域3及びn+型ソース領域4に電氣的

5

に接続されたソース電極9やゲート、ドレインに接続された各電極（図示せず）が形成され、図1に示す半導体装置が構成されている。

【0023】このような構成により、p型ベース領域3のうちトレンチ5の側面に位置する部分、つまりトレンチ5の内壁に形成されたシリコン酸化膜6a、シリコン窒化膜6b、シリコン酸化膜6cからなる積層膜に隣接する部分をチャネル領域とするトレンチゲート構造を持つトランジスタが構成される。

【0024】このような構成においては、ゲート絶縁膜6のうちトレンチ5の側面に位置する部位をシリコン酸化膜6a、シリコン窒化膜6b、シリコン酸化膜6cからなる積層膜で構成している。

【0025】そして、本実施形態では、シリコン酸化膜6cが5nm以上、シリコン窒化膜6bが8nm以上かつ15nm以下となるように設定している。このため、上述したように、シリコン窒化膜6bやシリコン酸化膜6cの膜厚とVth変動との相関関係に基づき、チャージトラップ現象によるVthの減少を防止でき、Vthが増加するように変動させることができる。

【0026】また、トレンチ5の上部、底部に形成されたシリコン酸化膜6d、6eの膜厚をトレンチ5の側面に形成された積層膜よりも厚くしているため、トレンチ5の上下のコーナー部での電界集中が緩和され、その部分での耐圧低下を防止することが可能となる。

【0027】このため、チャージトラップ現象によってVthが変動しても、Vthを増加させる方向への変動となるため、一部のセルに電流が集中し、素子が破壊されてしまうことを防止することが可能となる。

【0028】次に、上記した半導体装置の製造方法について、図2に示す工程図を参照して説明する。

【0029】まず、図2(a)に示す工程では、p+型あるいはn+型のシリコン基板1を用意し、このシリコン基板1の上にn型ドリフト層2を成膜する。ついで、p型ベース領域3、n+型ソース領域4をイオン注入及び熱拡散によって順次形成する。このとき、p型ベース領域3の深さをIGBTの場合には2~3μm、MOSFETの場合には1~2μm、n+型ソース領域4の深さをIGBTの場合及びMOSFETの場合共に0.5μmとしている。

【0030】次に、図2(b)に示す工程では、第1のマスク材となるシリコン酸化膜10を堆積したのち、フォトリソグラフィによってシリコン酸化膜10をパターニングすることで、シリコン酸化膜10に開口部を形成する。続いて、パターニングされたシリコン酸化膜10をマスクとして用いた異方性ドライエッチングにより、n+型ソース領域4及びp型ベース領域3を貫通してn型ドリフト層2に達するトレンチ5を形成する。このとき、例えば、トレンチ深さをIGBTの場合には4~6μm、MOSFETの場合には2~3μmとする。

6

【0031】次に、図2(c)に示す工程では、CF<sub>4</sub>およびO<sub>2</sub>ガスを用いたケミカルドライエッチングにより、トレンチ5内のシリコンを0.1μm程度等方的にエッチング除去する。そして、H<sub>2</sub>O又はO<sub>2</sub>雰囲気中での熱酸化により、50~100nm程度の犠牲酸化膜を形成する。この後、希フッ酸によるウェットエッチングにて、犠牲酸化膜を除去する。このとき、エッチングの時間として、犠牲酸化膜のみが除去される時間に設定してもよいが、犠牲酸化膜とトレンチマスク用のシリコン酸化膜10の両方が除去される時間に設定すれば、トレンチマスク用のシリコン酸化膜10も同時にエッチングされるようにできる。この後、H<sub>2</sub>O又はO<sub>2</sub>雰囲気中での熱酸化により、IGBTの場合には10~100nm程度、MOSの場合には30~70μm程度のシリコン酸化膜6aを形成する。

【0032】次に、図2(d)に示す工程では、LPCVD法により、10~20nmのシリコン窒化膜6bを形成する。この膜厚は、後でシリコン酸化膜6cを形成する時の膜減りを考慮し、完成後にシリコン窒化膜6bが8~15μm程度の膜厚となるような値となっている。

【0033】次に、図2(e)に示す工程では、CHF<sub>3</sub>およびO<sub>2</sub>ガス系を用いた異方性ドライエッチングにより、シリコン窒化膜7bのうち、トレンチ5の側壁部に位置する部分を残し、トレンチ5の上部や底部に位置する部分を除去して、シリコン酸化膜6aを部分的に露出させる。

【0034】次に、図2(f)に示す工程では、例えば、950℃のH<sub>2</sub>O又はO<sub>2</sub>雰囲気中での熱酸化により、シリコン窒化膜6bの上に5nm以上のシリコン酸化膜6cを形成する。このとき、シリコン窒化膜7bが除去されたトレンチ5の上部、底部には、熱酸化によって膜厚が大きくなった約200nmのシリコン酸化膜6d、6eが形成される。

【0035】次に、図2(g)に示す工程では、LPCVD法により、ゲート電極7を形成するためのドーフトポリシリコン膜11を成膜したのち、このドーフトポリシリコン膜11を所望の厚さにエッチバックする。

【0036】次に、図2(h)に示す工程では、ドーフトポリシリコン膜11をパターニングし、ゲート電極7を形成する。

【0037】この後の製造工程については図示しないがCVD法による層間絶縁膜8の形成、フォトリソグラフィ及び異方性エッチングによる層間絶縁膜8へのコンタクトホール形成、スパッタ法によるソース電極9等の電極形成を行うことで、図1に示す半導体装置が完成する。

【0038】以上説明したように、シリコン酸化膜6cが5nm以上、シリコン窒化膜6bが8nm以上かつ15nm以下となるように設定することにより、チャージ

7

トラップ現象による $V_{th}$ の減少を防止でき、 $V_{th}$ が増加するように変動させることができるため、一部のセルに電流が集中し、素子が破壊されてしまうことを防止することができる。

【0039】また、本実施形態のように、シリコン窒化膜6bのうちトレンチ5の上部と底部に位置する部分を除去して熱酸化を行うことにより、トレンチ5の上部と底部におけるコーナー部での電界集中を緩和でき、その部分の耐圧低下を防止することができる。

【0040】（他の実施形態）上記実施形態では、トレンチ5の上部および底部においてシリコン窒化膜6bを除去した構造としているが、このような構造は本発明が適用される一例であり、すべての領域にシリコン窒化膜6bを残した構造のものにおいても本発明を適用することができる。

【0041】なお、上記実施形態では、nチャネルタイプのトレンチゲート構造のトランジスタを例に挙げているが、勿論、各構成要素の導電型が逆となるpチャネルタイプのものについても本発明を適用することが可能で

8

ある。

【図面の簡単な説明】

【図1】本発明の第1実施形態における半導体装置の断面構成を示す図である。

【図2】図1に示す半導体装置の製造工程を示す図である。

【図3】パワーMOSFETのゲート絶縁膜としてON<sub>2</sub>O膜を用いた場合のエネルギーバンド図である。

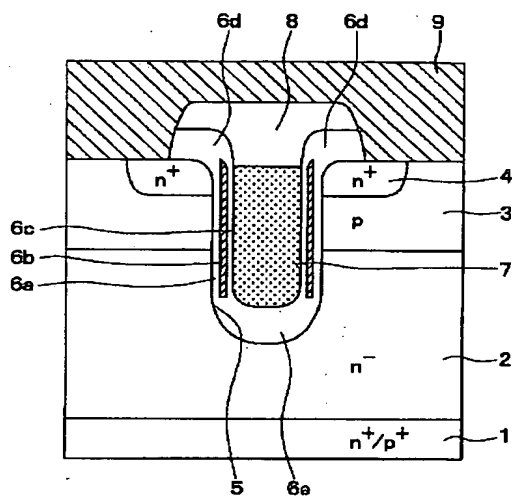
【図4】 $V_{th}$ のシリコン窒化膜6bの膜厚に対する依存性を示す図である。

【図5】 $V_{th}$ のシリコン酸化膜6cの膜厚に対する依存性を示す図である。

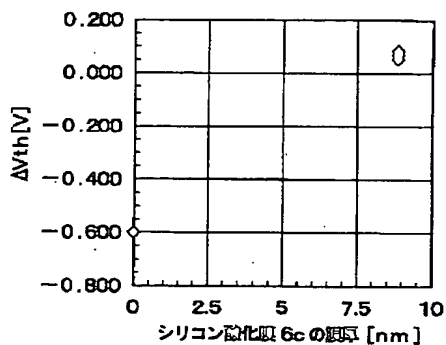
【符号の説明】

1…シリコン基板、2…n型ドリフト層、3…p型ベース領域、4…n<sup>+</sup>型ソース領域、5…トレンチ、6…ゲート絶縁膜、6a、6c～6e…シリコン酸化膜、6b…シリコン窒化膜、7…ゲート電極、8…層間絶縁膜、9…ソース電極。

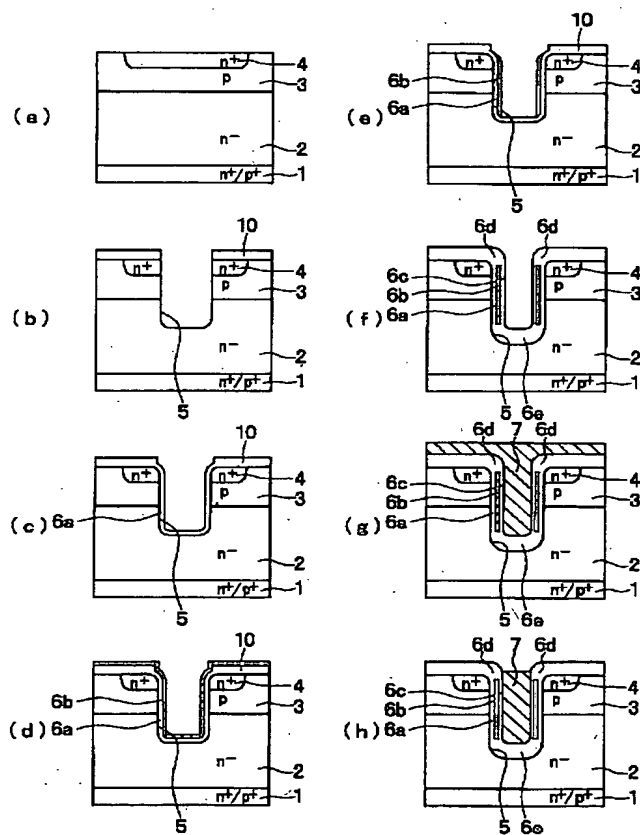
【図1】



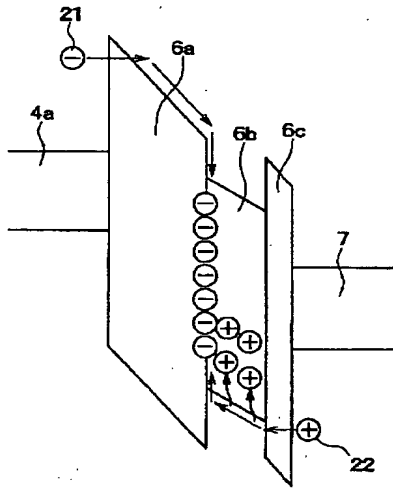
【図5】



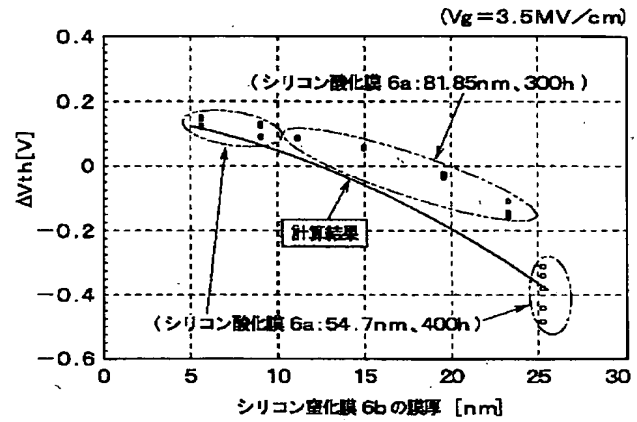
【図2】



【図3】



【図4】



フロントページの続き

(72) 発明者 鈴木 幹昌  
愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

(72) 発明者 青木 孝明  
愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内